

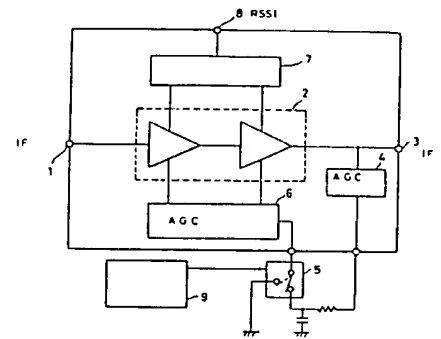
(54) RADIO COMMUNICATION EQUIPMENT

(11) 4-37334 (A) (43) 7.2.1992 (19) JP
 (21) Appl. No. 2-143914 (22) 1.6.1990
 (71) TOSHIBA CORP (72) NAOTO HONDA
 (51) Int. Cl.⁵ H04J3/00, H04B7/005, H04L27/00

Best Available Copy

PURPOSE: To measure a reception electric field strength accurately by neglecting the accuracy of reception demodulation for a time slot other than that for its own equipment and processing a signal while placing highest priority on the accurate measurement of the reception electric field strength.

CONSTITUTION: An input intermediate frequency input signal is amplified by an amplifier 2 and outputted to a demodulation circuit from an output terminal 3. In this case, part of the output of the amplifier 2 is detected by an AGC circuit 4 and inputted to an AGC setting circuit 6 through a changeover switch 5 thrown to the position of solid lines in figure by a control section 9. The AGC setting circuit 6 sets a gain of the amplifier 2 properly and variably in response to the input signal from the AGC detection circuit 4 to control the intermediate frequency output signal from the output terminal 3 to be constant. In this case, a level detection circuit 7 detects a level of the intermediate frequency input signal through the amplifier 2 and outputs the result of detection to an output terminal 8 as a reception electric field strength (RSSI) signal. A radio communication equipment in compliance with the communication of the TDMA system executes the reception (transmission) operation as above by a reception (transmission) time slot of its own equipment.



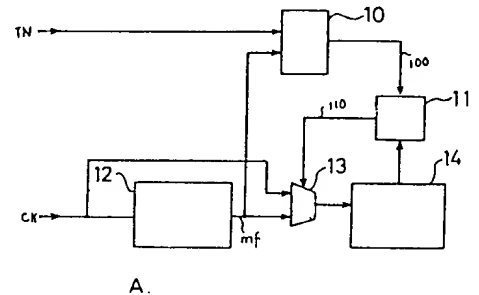
1: input terminal for IF input. 8: output terminal for RSSI

(54) MULTI-FRAME SYNCHRONIZATION RESTORATION SYSTEM

(11) 4-37335 (A) (43) 7.2.1992 (19) JP
 (21) Appl. No. 2-143518 (22) 1.6.1990
 (71) FUJITSU LTD (72) HIDEO SUNAGA
 (51) Int. Cl.⁵ H04J3/06

PURPOSE: To reduce the synchronization recovery time by receiving a result of a comparator means, selecting a clock signal in the case of dissidence, selecting an output signal of a timing generating means in the case of coincidence and giving the signal to a frame pattern generating means.

CONSTITUTION: When coincidence is taken by a comparator means 11, a selection means 13 selects a multi-frame timing signal mf between a clock signal CK and the signal mf. In the case of dissidence, an output signal 110 representing dissidence is fed to the selection means 13, which selects the clock signal CK, and it is inputted to a multi-frame pattern generating means 14. Every time a single is inputted, the output phase of the multi-frame pattern is advanced by the means 14 and a relevant output is outputted to the comparator means 11. Thus, the output of the bit signal of the pattern is advanced sequentially, and when the coincident signal is outputted by the comparator means 11, the selection means 13 is selected to switch the clock signal CK into the signal mf, and the similar operation to the case with the coincidence of detection is implemented by the comparator means 11.



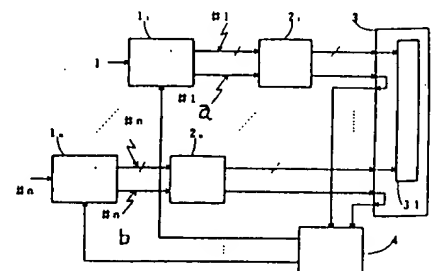
IN: input signal. CK: clock signal. 10: storage latch means. 12: multi-frame timing generating means. A: schematic diagram

(54) CROSS CONNECTION DEVICE

(11) 4-37336 (A) (43) 7.2.1992 (19) JP
 (21) Appl. No. 2-145019 (22) 1.6.1990
 (71) FUJITSU LTD (72) HIDEAKI MOCHIZUKI
 (51) Int. Cl.⁵ H04J3/06, H04Q11/04

PURPOSE: To adjust out of synchronism with a small capacity of memory even when a propagation delay time difference generated due to decentralized installation of devices is large by giving a timing signal to each data interface section while shifting the phase by the phase difference.

CONSTITUTION: A synchronization adjustment section 4 controls a data interface section to allow it to fetch input data #1-#n with an initial in-phase timing signal and the data together with the timing signal are sent to time switches 2₁-2_n. Each of the data #1-#n is subject to channel exchange according to the timing signal and the data #1-#n together with the timing signal are fed to a memory section 31 of a time division spatial switch section 3. The timing signal is returned to the synchronization adjustment section 4. The synchronization adjustment section 4 detects a phase difference of each timing signal and adjusts the phase of the timing signal corresponding to the phase difference so as to shift the timing signal given to each of data interface sections 1₁-1_n. Thus, the capacity of the memory is enough to be small for the fine adjustment of the phase and the capacity is considerably reduced.



a: 1 timing signal. b: 2n timing signal

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平4-37336

⑫ Int.Cl.⁸

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月7日

H 04 J 3/06
H 04 Q 11/04D 7117-5K
304 K 8843-5K

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 クロスコネクト装置

⑮ 特 願 平2-145019

⑯ 出 願 平2(1990)6月1日

⑰ 発 明 者 望 月 英 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 茂泉 修司

明 細 書

としたクロスコネクト装置。

1. 発明の名称 クロスコネクト装置

2. 特許請求の範囲

各タイミング信号により複数のデータ・インタフェース部(1,-1.)を介して入力したデータを該タイミング信号によりそれぞれ時間スイッチ(2,-2.)と時分割空間スイッチ部(3)でチャネル交換を行うクロスコネクト装置において、

最初に各データ・インタフェース部(1,-1.)へのタイミング信号の位相を同相として送出し、各データ・インタフェース部(1,-1.)及び各時間スイッチ(2,-2.)を順次経由して該時分割空間スイッチ部(3)のメモリ部(31)へ送られた各タイミング信号の位相差を検出し、該位相差分だけ各データ・インタフェース部(1,-1.)へのその後の各タイミング信号の位相をずらして与えることにより各タイミング信号が該メモリ部(31)に同時に与えられるようにする同期調整部(4)を設けたことを特徴

3. 発明の詳細な説明

(概 要)

タイミング信号により複数のデータ・インタフェース部を介して入力したデータを該タイミング信号によりそれぞれ時間スイッチ部と時分割空間スイッチ部でチャネル切り換えを行うクロスコネクト装置の同期調整に関し、

分散設置されたことにより発生する伝搬遅延時間差が大きくなってでも小容量のメモリで同期ずれを調整できるようにすることを目的とし、

最初に各データ・インタフェース部へのタイミング信号の位相を同相として送出し、各データ・インタフェース部及び各時間スイッチを順次経由して該時分割空間スイッチ部のメモリ部へ送られた各タイミング信号の位相差を検出し、該位相差分だけ各データ・インタフェース部へのその後の各タイミング信号の位相をずらして与えることにより各タイミング信号が該メモリ部に同時に与え

〔従来の技術〕

第4図は、従来より用いられているクロスコネクト装置を示したもので、図中、11、1は例えば2つの入力データ#1、#2をそれぞれタイミング信号により入力するデータ・インタフェース部、21、2はデータ・インタフェース部11、1の各出力データをそれらのデータに伴うタイミング信号によりそれぞれ入力する時間スイッチ、30は時間スイッチ21、2でチャネル交換された各出力データを更にそれらのデータに伴うタイミング信号により入力する時分割空間スイッチ部でメモリ（エラスティック・メモリ）331、33と時間スイッチ21、2間のチャネル交換を行う空間スイッチ32とで構成されたもの、そして、6はデータ・インタフェース部11、1及びメモリ331、33へのタイミング信号を与える基準タイミング発生回路である。尚、この回路構成においては、時分割空間スイッチ部（出力部）及び時分割多重化・分離化部分は図示

られるようにする同期調整部を設けるように構成する。

〔産業上の利用分野〕

本発明はクロスコネクト装置に関し、特にタイミング信号により複数のデータ・インタフェース部を介して入力したデータを該タイミング信号によりそれぞれ時間スイッチ部と時分割空間スイッチ部でチャネル交換を行うクロスコネクト装置の同期調整に関するものである。

新同期、即ち高次同期網に於ける回線切り換えを行うクロスコネクト装置では、取り扱う回線信号数が非常に多く、それに伴って装置が大規模になり、1箇所に着中して局舎内に設置することが出来ないことがある。

そのため、局舎内の任意の場所に分散して設置した場合、それぞれの設置場所の距離的な違いにより発生する伝搬遅延時間差によってデータの同期ずれが発生するため、同期調整を行う必要がある。

の簡略化のため省略してある。

このような従来例においては、データ・インタフェース部11、1、や時間スイッチ21、2、の設置場所の違いにより、図示のようにデータ・インタフェース部-基準タイミング発生回路間及びデータ・インタフェース部-時間スイッチ間の距離がそれぞれ例えば m 異なってしまう。

これにより伝搬遅延時間差が生じ、基準タイミング発生回路6からのデータ・インタフェース部11、1へのタイミング信号がずれ、入力データ#1、#2が時間スイッチ21、2から出力されるタイミングもずれてしまう。

そこで、このようなデータの同期ずれを調整するため、基準タイミング発生回路6からメモリ331、33へのタイミング信号によって空間スイッチ32へのデータ入力タイミングを一致させている。

〔発明が解決しようとする課題〕

上記のような従来例の場合、システム構成が小

規模のときには、各データ・インタフェース部へのタイミング信号経路及び各データ・インタフェース部から各時間スイッチへの伝送路の距離上の違いは小さいので、これによる位相ずれを吸収するためのメモリの容量は小さなもので済む。

しかしながら、大規模なシステムにおいては、ユーザー側のスペース的な事情等を考慮した場合、システム自体を取る程度分割した状態で局舎内に設置する可能性があるため、伝送路の距離の違いが非常に大きくなることもあり、それにとまってメモリも非常に容量の大きいものを用いなければならないという問題点があった。

従って、本発明は、タイミング信号により複数のデータ・インタフェース部を介して入力したデータを該タイミング信号によりそれぞれ時間スイッチと時分割空間スイッチ部でチャネル交換を行うクロスコネクト装置において、分散設置されたことにより発生する伝搬遅延時間差が大きくなってでも小容量のメモリで同期ずれを調整できるようにすることを目的とする。

〔課題を解決するための手段〕

第1図は、本発明に係るクロスコネクタ装置を原理的に示したもので、本発明では、最初に各データ・インタフェース部1、～1、へのタイミング信号の位相を同相として送出し、各データ・インタフェース部1、～1、及び各時間スイッチ2、～2、を順次経由して時分割空間スイッチ部3のメモリ部31へ送られた該タイミング信号の位相差を検出し、該位相差分だけ各データ・インタフェース部1、～1、へのその後のタイミング信号の位相をずらして与えることにより該タイミング信号がメモリ部31に同時に与えられるようにする同期調整部4を設けることにより上記の課題を解決している。

〔作 用〕

第1図において、同期調整部4は、まず最初に、分散設置された各データ・インタフェース部1、～1、へのタイミング信号の位相を同相として送出する。

無くなる。

〔実 施 例〕

第2図は、本発明に係るクロスコネクタ装置の一実施例を示したもので、この実施例では、入力データを#1と#2の2系統($n=2$)として同期調整している。

また、第1図に示した同期調整部4は、基準タイミング発生回路41と、この基準タイミングに対する時間スイッチ2、～2、から出力されるタイミング信号の位相差を求める位相比較回路42と、位相比較回路42の比較結果に基づいて基準タイミングをずらす同期タイミング信号発生回路43とで構成されている。尚、第1図のメモリ部31はメモリ31、及び31、の組合せに対応しており、その他の構成は、第4図に示した従来例の構成と同様であるのでその説明は省略する。

このような構成を有する実施例の動作を、第3図に示した各部の信号①～⑩のタイムチャートを参照して以下に説明する。

このタイミング信号により同期調整部4は入力データ#1～# n を取り込んでそれぞれタイミング信号と共に時間スイッチ2、～2、へ送出し、時間スイッチ2、～2、ではそのタイミング信号に従って各データ#1～# n をチャネル交換して時分割空間スイッチ部3のメモリ部31へタイミング信号と共に送出する。

このメモリ部31へ送られたタイミング信号はそれぞれ同期調整部4へ送られる。

このようにして戻って来たタイミング信号から同期調整部4は各タイミングの位相差を検出する。

そして、その位相差分だけ各データ・インタフェース部1、～1、へのその後のタイミング信号の位相をずらすように調整する。

その場合の調整は、各タイミング信号がメモリ部31に同時に与えられるように行われる。

従って、各時間スイッチ2、～2、から時分割空間スイッチ部3へ送られるデータ#1～# n はメモリ部31へ同時に入力されるので、メモリ部31での時間遅延調整のためのメモリ容量は必要

基準タイミング発生回路41から発生される基準タイミング信号①が同期タイミング信号発生回路43に送られると、同期タイミング信号発生回路43は初期状態として基準タイミング信号①と同期したタイミング信号②及び③をそれぞれデータ・インタフェース部1、及び1、に送る。

これらのタイミング信号②及び③を受けたデータ・インタフェース部1、及び1、では、それぞれ各タイミング信号②及び③に対応したタイミング信号④及び⑤を出力すると共に、各タイミング信号④及び⑤に同期したデータ⑥(#1)及びデータ⑦(#2)を出力する。

そして、これらのデータ⑥及び⑦は、それぞれタイミング信号④及び⑤により時間スイッチ2、及び2、に与えられ、時間軸上に入れ替え(チャネル交換)されたデータ⑧及び⑨として出力され、時分割空間スイッチ部3のメモリ31、及び31、に送られる。

このとき、時間スイッチ2、及び2、からはデータ④及び⑤と共にタイミング信号⑥及び⑦がノ

メモリ31、及び31。に送られるが、このタイミング信号⑧と⑨はメモリ31、及び31。の入力端で折り返して位相比較回路42にも送られる。

位相比較回路42では、タイミング信号⑧及び⑨と基準タイミング信号①とを比較し、第3図に示すように、タイミング信号⑧は位相ずれビット数が n で、タイミング信号⑨の位相ずれビット数が m であることを検出し、この比較結果を同期タイミング信号発生回路43に伝える。

これを受けて同期タイミング信号発生回路43では、基準タイミング信号①よりも n ビット早くタイミング信号②を出力し、基準タイミング信号①よりも m ビット早くタイミング信号③を出力する。

このようにして同期タイミング信号発生回路43から発生されたタイミング信号②及び③により上記と同様にして入力データ#1と#2をメモリ31、及び31。へ送るとき、メモリ31、及び31。へのタイミング信号⑧及び⑨並びにデータ⑧及び⑨は第3図に示すように基準タイミング信

号①と位相が一致した形になり、同期が取れた状態となる。

この後は、タイミング信号②及び③が基準タイミング信号①に対してそれぞれ n 及び m ビット早めに出力されるように位相比較回路42は同期タイミング信号発生回路43のタイミング発生を前回と同様にホールドさせる。

このように、メモリ31、及び31。への入力データ⑧及び⑨並びにタイミング信号⑧及び⑨が同期し、しかも基準タイミング信号①と一致すれば、メモリ31、及び31。から読み出されて多重化回路(図示せず)を経てスイッチ32へ送られるデータを蓄積しておく時間(遅延時間)は殆ど不要になり、メモリの容量は微調整用のみで足り、容量を大幅に軽減することができる。

(発明の効果)

以上のように、本発明に係るクロスコネクタ装置によれば、タイミング信号を最初に各データ・インタフェース部から各時間スイッチを順次經由

して時分割空間スイッチ部のメモリ部へ送ると共にこれを最初のタイミング信号の位相と比較し、伝送路の距離上の差異に基づく位相差を検出して該位相差分だけ各タイミング信号の位相をずらして与えることにより各タイミング信号がメモリ部に同時に与えられるように構成したので、メモリ部は同期調整のための容量を必要とせず回路規模を小型化することができる。

また、伝送路の差異を予め測定等により求めてこれを常に一定値に固定して同期を取る方式に比べて、伝送路の状況に則して自動的に正確な同期調整を行うことが可能となる。

4. 図面の簡単な説明

第1図は、本発明に係るクロスコネクタ装置の構成を原理的に示したブロック図、

第2図は、本発明に係るクロスコネクタ装置の一実施例を示したブロック図、

第3図は、本発明の実施例のタイムチャート図、

第4図は、従来例の構成を示したブロック図、

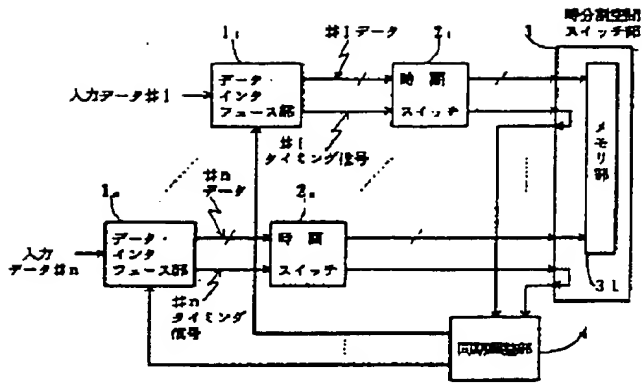
である。

第1図において、

- 1、～1。…データ・インタフェース部、
- 2、～2。…時間スイッチ、
- 3…時分割空間スイッチ部、
- 31…メモリ部、
- 4…同期調整部。

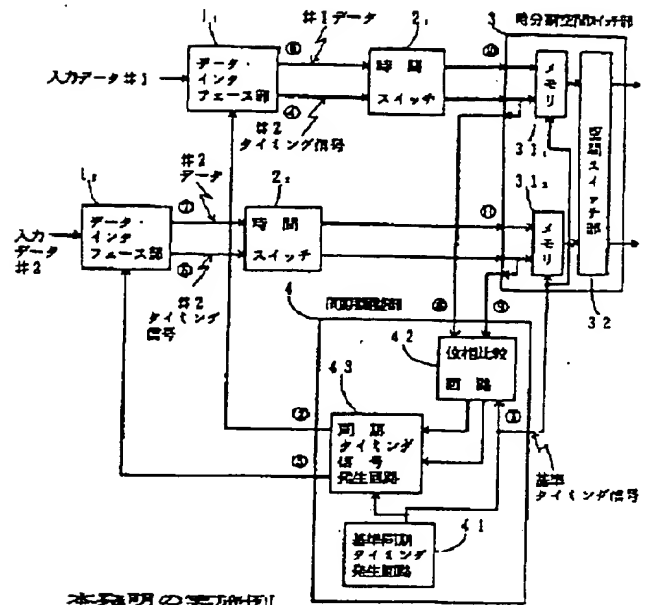
図中、同一符号は同一又は相当部分を示す。

代理人 弁理士 茂 永 隆 司



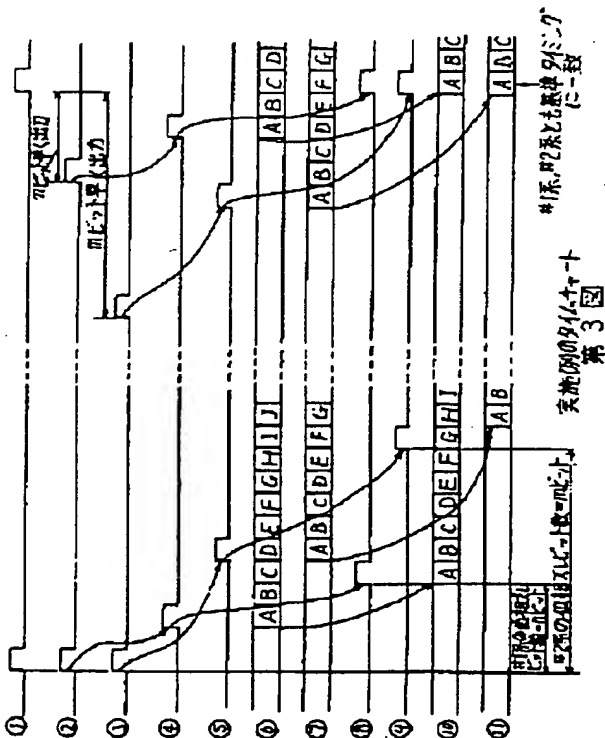
本発明の原理図

第1図



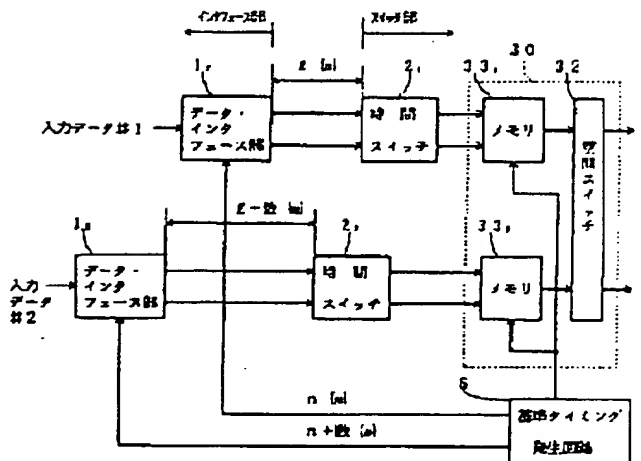
本発明の実施例

第2図



実施例のタイミングチャート

第3図



従来例

第4図